

PATENT
2557-000160/US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: TAE-JUNG LEE et al. Conf: Unknown
Application No.: NEW Group: Unknown
Filed: July 18, 2003 Examiner: Unknown
For: CELL STRUCTURE OF NON-VOLATILE MEMORY DEVICE
AND METHOD FOR FABRICATING THE SAME

PRIORITY LETTER

July 18, 2003

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sirs:

Pursuant to the provisions of 35 U.S.C. 119, enclosed is/are a certified copy of the following priority document(s).

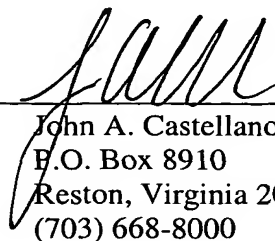
<u>Application No.</u>	<u>Date Filed</u>	<u>Country</u>
2003-1815	1/11/2003	Korea

In support of Applicant's priority claim, please enter this document into the file.

Respectfully submitted,

HARNESS, DICKEY, & PIERCE, P.L.C.

By



John A. Castellano, Reg. 35,094
P.O. Box 8910
Reston, Virginia 20195
(703) 668-8000

JAC/cah

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0001815
Application Number

출원년월일 : 2003년 01월 11일
Date of Application JAN 11, 2003

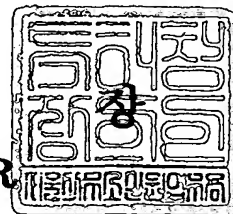
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 04 월 07 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0022
【제출일자】	2003.01.11
【국제특허분류】	H01L
【발명의 명칭】	이피롬 (E P R O M , E r a a b l e P r o g r a m m a b l e R e a d O n l y M e m o r y } 소자의 셀 구조 및 그 제조방법
【발명의 영문명칭】	Cell structure of EPROM device and fabrication thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	이태정
【성명의 영문표기】	LEE, Tae Jung
【주민등록번호】	671201-1063624
【우편번호】	445-973
【주소】	경기도 화성군 태안읍 반월리 신영통 현대@ 107-1102
【국적】	KR
【발명자】	
【성명의 국문표기】	김병선
【성명의 영문표기】	KIM, Byung Sun
【주민등록번호】	610403-1542612

【우편번호】	441-390
【주소】	경기도 수원시 권선구 권선동 1235 풀림@ 301-1102
【국적】	KR
【발명자】	
【성명의 국문표기】	이준형
【성명의 영문표기】	LEE, Joon Hyung
【주민등록번호】	711112-1041914
【우편번호】	463-914
【주소】	경기도 성남시 분당구 정자동(한솔마을) 청구아파트 107-1101
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	12 면 12,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	20 항 749,000 원
【합계】	790,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명에 의한 이피롬 소자의 셀 구조는 반도체 기판 상에 제1 플로팅 게이트, 질화막을 포함하는 절연막 패턴, 및 조절 게이트가 순차적으로 형성되고, 상기 제1 플로팅 게이트의 양측벽에는 폴리실리콘막 스페이서 및 산화막 스페이서의 이중막 스페이서가 형성된 게이트 스택부와, 상기 반도체 기판 상에 형성된 게이트 절연막, 상기 게이트 절연막 상에 형성되고 상기 게이트 스택부의 제1 플로팅 게이트와 연결되는 제2 플로팅 게이트, 상기 제2 플로팅 게이트의 양측벽에 형성된 질화막 스페이서, 상기 제2 플로팅 게이트에 얼라인되어 상기 반도체 기판에 형성된 소오스/드레인으로 구성된 플로팅 게이트 트랜지스터부를 포함하여 이루어진다. 이에 따라, 상기 게이트 스택부의 제1 플로팅 게이트의 양측벽에 질화막 스페이서가 형성되어 있지 않고, 폴리실리콘막 스페이서 및 산화막 스페이서로 이루어진 비질화막 스페이서가 형성되어 있어 자외선을 쬔면 비질화막 스페이서중 산화막 스페이서를 통하여 프로그램된 셀을 손쉽게 소거할 수 있다.

【대표도】

도 2a

【명세서】**【발명의 명칭】**

이피롬(EPROM, Erasable Programmable Read Only Memory) 소자의 셀 구조 및 그 제조방법(Cell structure of EPROM device and fabrication thereof)

【도면의 간단한 설명】

도 1은 본 발명에 의한 이피롬 소자의 셀 레이아웃도이다.

도 2a 및 도 2b는 본 발명에 따라 각각 도 1의 게이트 스택부의 A-A' 및 플로팅 트랜지스터부의 B-B'에 따른 이피롬 소자의 단면도이다.

도 3a 내지 도 9a와 도 3b 내지 도 9b는 각각 도 2a 및 도 2b에 도시한 이피롬 소자의 셀의 제조방법을 설명하기 위한 단면도들이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<4> 본 발명은 반도체 메모리 소자 및 그 제조방법에 관한 것으로, 보다 상세하게는 이피롬(EPROM, Erasable Programmable Read Only Memory) 소자의 셀 구조 및 그 제조방법에 관한 것이다.

<5> 반도체 메모리 소자의 종류에는 여러 가지가 있다. 반도체 메모리 소자들중 RAM(random access memory)종류의 메모리 소자는 전원공급이 중단되면 기억된 정보가 소멸되는 특성을 갖는 반면, ROM(read only memory)종류의 메모리 소자는 외부로부터 전원

공급이 중단되어도 기억된 정보를 그대로 유지하는 특성을 갖는다. 따라서 이러한 ROM 종류의 메모리 소자는 비휘발성 메모리 소자라 불린다. 이들 비휘발성 메모리 소자중 메모리 속에 저장된 내용을 지우고 재 사용할 수 있는 이피롬 소자가 있다.

<6> 상기 이피롬 소자는 메모리 칩의 표면에 부착된 유리창을 통해 강렬한 자외선을 비추면 메모리 내의 내용이 삭제된다. 상기 이피롬 소자는 시스템의 온 칩(On Chip)화의 추세에 맞추어 논리 회로, 구동 회로와 같은 다양한 소자들과 함께 온칩화되어 사용되고 있다. 상기 이피롬 소자는 제품간의 미세한 차이를 보정하거나, 제조사의 이름을 나타내는 등 칩 제조 후에 여러 가지 변화를 줄 수 있다는 점에서 매우 유용하다.

<7> 반도체 제조 공정에서는 회로 선폭이 미세화하면서, 게이트 라인 저항, 및 금속 콘택 저항 감소를 위해 TiSix, CoSix, NiSix 등의 실리사이드층을 사용한다. 상기 실리사이드층을 사용할 경우 실리시데이션 공정시 게이트와 소오스/드레인간의 쇼트(Short)를 방지하여 트랜지스터 특성을 향상시키기 위해 게이트 스페이서로 산화막 대신에 질화막을 많이 사용한다.

<8> 그런데, 상기 질화막을 게이트 스페이서로 사용한 공정으로 이피롬 소자의 셀을 구현하고자 할 경우, 플로팅 게이트의 상부에는 ONO막(산화막(O)-질화막(N)-산화막(O))이 덮여 있고, 플로팅 게이트 측면에는 질화막 스페이서가 형성된다. 다시 말해, 플로팅 게이트의 주변을 질화막이 모두 감싸게 된다. 이렇게 플로팅 게이트의 주변을 질화막이 감싸고 있을 경우, 질화막을 투과하지 못하는 자외선의 특성으로 인하여 자외선에 의한 플로팅 게이트 전하(charge)를 소거하기가 힘들어진다. 이로 인해, 산화막을 플로팅 게이트 스페이서로 사용할 경우 간단히 진행할 수 있었던 자외선 소거가 어려워진다.

【발명이 이루고자 하는 기술적 과제】

- <9> 따라서, 본 발명이 이루고자 하는 기술적 과제는 플로팅 게이트 스페이서를 질화막으로 사용하여 트랜지스터 특성을 향상시킬 수 있으면서도 자외선으로 플로팅 게이트 전하를 소거할 수 있는 이피롬 소자의 셀 구조를 제공하는 데 있다.
- <10> 또한, 본 발명이 이루고자 하는 다른 기술적 과제는 상기 이피롬 소자의 셀 구조를 간편하게 제조하는 방법을 제공하는 데 있다.

【발명의 구성 및 작용】

- <11> 상기 기술적 과제를 달성하기 위하여, 본 발명의 일 예에 의한 이피롬 소자의 셀 구조는 반도체 기판 상에 제1 플로팅 게이트, 질화막을 포함하는 절연막 패턴 및 조절 게이트가 순차적으로 형성되고, 상기 제1 플로팅 게이트의 양측벽에는 비질화막 스페이서가 형성되어 상기 비질화막 스페이서중 일부 또는 전부를 통해 자외선 소거가 가능하도록 구성된 게이트 스택부를 포함한다. 더하여, 상기 반도체 기판 상에 형성된 게이트 절연막, 상기 게이트 절연막 상에 형성되고 상기 게이트 스택부의 제1 플로팅 게이트와 연결되는 제2 플로팅 게이트, 상기 제2 플로팅 게이트의 양측벽에 형성된 질화막 스페이서, 상기 제2 플로팅 게이트에 얼라인되어 상기 반도체 기판에 형성된 소오스/드레인으로 구성된 플로팅 게이트 트랜지스터부를 포함하여 이루어진다.
- <12> 상기 비질화막 스페이서는 폴리실리콘막 스페이서 및 산화막 스페이서의 이중막 스페이서로 구성될 수 있다. 상기 조절 게이트의 양측벽에는 질화막 스페이서가 더 형성되어 있을 수 있다.

- <13> 상기 제1 플로팅 게이트 및 제2 플로팅 게이트는 불순물이 도핑된 폴리실리콘막으로 구성할 수 있다. 상기 게이트 스택부의 절연막 패턴은 ONO막 또는 NO막으로 구성할 수 있다. 상기 조절 게이트는 불순물이 도핑된 폴리실리콘막 및 실리콘사이드막의 이중막으로 구성되며, 상기 소오스 및 드레인 상에는 실리콘사이드막이 형성되어 있을 수 있다.
- <14> 또한, 본 발명의 다른 예에 의한 이퍼롬 소자의 셀 구조는 반도체 기판 상에 제1 플로팅 게이트, 질화막을 포함하는 절연막 패턴, 및 조절 게이트가 순차적으로 형성되고, 상기 제1 플로팅 게이트의 양측벽에는 폴리실리콘막 스페이서 및 산화막 스페이서의 이중막 스페이서가 형성된 게이트 스택부와, 상기 반도체 기판 상에 형성된 게이트 절연막, 상기 게이트 절연막 상에 형성되고 상기 게이트 스택부의 제1 플로팅 게이트와 연결되는 제2 플로팅 게이트, 상기 제2 플로팅 게이트의 양측벽에 형성된 질화막 스페이서, 상기 제2 플로팅 게이트에 얼라인되어 상기 반도체 기판에 형성된 소오스/드레인으로 구성된 플로팅 게이트 트랜지스터부를 포함하여 이루어지고,
- <15> 상기 게이트 스택부의 조절 게이트에 전압이 인가되어 상기 플로팅 게이트 트랜지스터부의 제2 플로팅 게이트에 전압이 인가되면 핫 캐리어 주입에 의해 상기 소오스/드레인으로부터 전하가 게이트 스택부의 제1 플로팅 게이트에 주입되어 프로그램되고, 상기 게이트 스택부에 자외선을 인가하면 제1 플로팅 게이트로부터 전하가 소오스/드레인으로 빠져 소거될 수 있다.
- <16> 상기 조절 게이트의 양측벽에는 질화막 스페이서가 더 형성되어 있을 수 있다. 상기 제1 플로팅 게이트 및 제2 플로팅 게이트는 불순물이 도핑된 폴리실리콘막으로 구성할 수 있다. 상기 게이트 스택부의 절연막 패턴은 ONO막 또는 NO막으로 구성할 수 있다.

상기 조절 게이트는 불순물이 도핑된 폴리실리콘막 및 실리사이드막의 이중막으로 구성되며, 상기 소오스 및 드레인 상에는 실리사이드막이 형성될 수 있다.

<17> 상기 다른 기술적 과제를 달성하기 위하여, 본 발명에 의한 이피롬 소자의 셀 구조의 제조방법은 반도체 기판을 게이트 스택부 및 플로팅 게이트 트랜지스터부로 한정한다. 상기 게이트 스택부에 제1 플로팅 게이트, 질화막을 포함하는 절연막 패턴을 순차적으로 형성하고, 상기 플로팅 게이트 트랜지스터부에 게이트 절연막, 폴리실리콘막 패턴 및 절연막 패턴을 순차적으로 형성한다. 상기 게이트 스택부의 제1 플로팅 게이트 상에 조절 게이트와, 상기 제1 플로팅 게이트의 양측벽에 제1 비질화막 스페이스를 형성하고, 상기 플로팅 게이트 트랜지스터부의 상기 폴리실리콘막 패턴을 패터닝하여 상기 제1 플로팅 게이트와 연결되는 제2 플로팅 게이트를 형성한다. 상기 게이트 스택부의 폴리실리콘막 스페이스 상에 제2 비질화막 스페이스를 형성한다. 상기 제2 플로팅 게이트의 양측벽에 얼라인되도록 불순물을 주입하여 상기 반도체 기판에 소오스 및 드레인을 형성한다. 상기 플로팅 게이트 트랜지스터부의 제2 플로팅 게이트의 양측벽에 질화막 스페이스를 형성한다.

<18> 상기 제1 비질화막 스페이스 및 제2 비질화막 스페이스는 각각 폴리실리콘막 스페이스 및 산화막 스페이스로 형성할 수 있다. 상기 조절 게이트의 양측벽에는 질화막 스페이스를 더 형성할 수 있다. 상기 제1 플로팅 게이트 및 제2 플로팅 게이트는 불순물이 도핑된 폴리실리콘막으로 형성할 수 있다. 상기 게이트 스택부의 절연막 패턴은 ONO막 또는 NO막으로 형성할 수 있다.

<19> 상기 조절 게이트는 불순물이 도핑된 폴리실리콘막 및 실리사이드막의 이중막으로 형성되고, 상기 소오스 및 드레인 상에는 실리사이드막을 형성할 수 있다. 상기 조절 게

이트의 실리사이드막 및 상기 소오스 및 드레인 상의 실리사이드막은 동일한 공정 스텝에서 형성할 수 있다.

<20> 상기 게이트 스택부의 제1 비질화막 스페이서 형성할 때 상기 플로팅 게이트 트랜지스터부의 폴리실리콘막 패턴의 양측벽에 제1 비질화막 스페이서가 형성되나, 상기 플로팅 게이트 트랜지스터부의 폴리실리콘막 패턴의 패터닝시 상기 제1 비질화막 스페이서가 제거될 수 있다. 상기 게이트 스택부의 제1 플로팅 게이트, 질화막을 포함하는 절연막 패턴은 각각 상기 플로팅 게이트 트랜지스터부의 폴리실리콘막 패턴 및 절연막 패턴과 동일한 공정 스텝에서 형성될 수 있다.

<21> 이상과 같은 본 발명의 이피롬 소자의 셀은 게이트 스택부의 제1 플로팅 게이트의 양측벽에 질화막 스페이서가 형성되어 있지 않고, 폴리실리콘막 스페이서 및 산화막 스페이서로 이루어진 비질화막 스페이서가 형성되어 있다. 이에 따라, 자외선을 쬔면 비질화막 스페이서중 일부인 산화막 스페이서를 통하여 프로그램된 셀을 손쉽게 소거할 수 있다.

<22> 이하, 첨부도면을 참조하여 본 발명의 실시예들을 상세히 설명한다. 그러나, 다음에 예시하는 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예들에 한정되는 것은 아니다. 본 발명의 실시예들은 당 업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위하여 제공되어지는 것이다. 도면에서 막 또는 영역들의 크기 또는 두께는 명세서의 명확성을 위하여 과장되어진 것이다. 또한, 어떤 막이 다른 막 또는 기판의 "위(상)"에 있다라고 기재된 경우, 상기 어떤 막이 상기 다른 막의 위에 직접 존재할 수도 있고, 그 사이에 제3의 다른 막이 개재될 수도 있다.

- <23> 도 1은 본 발명에 의한 이피롬 소자의 셀 레이아웃도이다.
- <24> 구체적으로, 본 발명에 의한 이피롬 소자의 셀은 반도체 기판(미도시) 상에 제1 플로팅 게이트(106a), 절화막을 포함하는 절연막 패턴(미도시), 조절 게이트(131)가 순차적으로 형성되고, 상기 제1 플로팅 게이트(106a)를 둘러싸고 형성된 비절화막 스페이서(123)로 구성된 게이트 스택부(200)를 포함한다. 상기 게이트 스택부(200)의 제1 플로팅 게이트(106a) 내에 조절 게이트(131)가 형성되어 있다. 상기 제1 플로팅 게이트(106a)는 불순물이 도핑된 폴리실리콘막으로 구성한다. 상기 절연막 패턴은 ONO막 또는 NO막(절화막(N)-산화막(O))으로 구성한다. 상기 조절 게이트(131)는 불순물이 도핑된 폴리실리콘막과 실리사이드막의 이중막으로 구성한다. 상기 비절화막 스페이서(122)는 폴리실리콘막 스페이서와 산화막 스페이서의 이중막으로 구성한다.
- <25> 더하여, 반도체 기판 상에 형성된 게이트 절연막(미도시), 상기 게이트 스택부의 제1 플로팅 게이트(106a)와 연결되는 제2 플로팅 게이트(106b)가 순차적으로 형성되고, 상기 제2 플로팅 게이트(106b)에 얼라인되어 상기 반도체 기판에 형성된 소오스/드레인(127)과, 상기 제2 플로팅 게이트(106b)를 둘러싸고 형성된 절화막 스페이서(124a)로 구성된 플로팅 게이트 트랜지스터부(400)를 포함한다. 상기 제2 플로팅 게이트(106b)는 상기 제1 플로팅 게이트(106a)와 연결되면서 폭이 좁게 소오스/드레인(127)과 오버랩되면서 직교하게 형성되어 있다. 상기 제2 플로팅 게이트(106b)는 제1 플로팅 게이트(106a)와 마찬가지로 불순물이 도핑된 폴리실리콘막으로 구성한다.
- <26> 상기 게이트 스택부(200)의 조절 게이트(131)에 전압이 인가되어 제2 플로팅 게이트(106b)에 전압이 인가되면 핫 캐리어 주입에 의해 상기 소오스/드레인(127)으로부터 전하가 제1 플로팅 게이트(106a)에 주입되어 프로그램된다. 상기 프로그램된 셀에 상기

비질화막 스페이서(122)의 전부 또는 일부를 통해 자외선을 인가하면 게이트 스택부의 제1 플로팅 게이트(106a)로부터 전하가 소오스/드레인(127)으로 빠져 프로그램된 셀이 소거된다.

<27> 도 2a 및 도 2b는 본 발명에 따라 각각 도 1의 게이트 스택부의 A-A' 및 플로팅 트랜지스터부의 B-B'에 따른 이피롬 소자의 단면도이다.

<28> 도 2a를 참조하면, 게이트 스택부(200)는 반도체 기판(101) 상의 필드 절연막(102) 상에 제1 플로팅 게이트(106a), 질화막을 포함하는 절연막 패턴(114) 및 조절 게이트(131)가 순차적으로 형성되어 있다. 상기 제1 플로팅 게이트(106a)는 앞서 설명한 바와 같이 불순물이 도핑된 폴리실리콘막으로 구성한다. 상기 절연막 패턴(114)은 산화막(108, 0)-질화막(110, N)-산화막(112, 0)으로 구성한다. 물론, 상기 절연막 패턴(114)을 질화막(110) 및 산화막(112)만으로도 구성할 수 있다.

<29> 상기 제1 플로팅 게이트(106a) 및 절연막 패턴(114)은 동일한 폭으로 형성되어 있다. 상기 조절 게이트(131)는 불순물이 도핑된 폴리실리콘층(118) 및 실리콘사이드층(129)으로 구성된다. 상기 조절 게이트(131)의 폭은 상기 제1 플로팅 게이트(106a)의 폭보다 작게 형성되어 있다. 상기 조절 게이트(131)의 양측벽에는 질화막 스페이서(124a)가 형성되어 있다. 상기 제1 플로팅 게이트(106a)의 양측벽에는 질화막 스페이서가 아닌 비질화막 스페이서(122)가 형성되어 있다. 상기 비질화막 스페이서(122)는 폴리실리콘막 스페이서(120) 및 산화막 스페이서(121)로 이루어진 이중 스페이서가 형성되어 있다.

<30> 이상과 같이 도 2a에 도시한 이피롬 소자의 셀 구조는 종래와 다르게 제1 플로팅 게이트(106a)의 양측벽에 질화막 스페이서가 형성되어 있지 않고, 폴리실리콘막 스페이서(120) 및 산화막 스페이서(121)로 이루어진 비질화막 스페이서(122)가 형성되어 있다.

이에 따라, 상기 이피롬 소자의 셀 구조에 자외선을 쬔면 비질화막 스페이서(122)중 산화막 스페이서(121)를 통하여 프로그램된 셀을 손쉽게 소거할 수 있다.

<31> 도 2b를 참조하면, 상기 플로팅 게이트 트랜지스터부(400)는 반도체 기판(101) 상에 게이트 절연막 패턴(104a), 제2 플로팅 게이트(106b) 및 질화막이 포함된 절연막 패턴(114a)이 동일한 폭으로 형성되어 있다. 상기 절연막 패턴(114a)은 앞서 설명한 바와 같이 산화막(108, 0)-질화막(110, N)-산화막(112, 0)으로 구성한다. 물론, 상기 절연막 패턴(114a)을 질화막(110) 및 산화막(112)만으로도 구성할 수 있다. 상기 제2 플로팅 게이트(106b)의 양측벽에 얼라인되어 상기 반도체 기판(101)에 소오스/드레인(127)이 형성되어 있다. 상기 소오스/드레인(127)은 저농도의 소오스/드레인(123)과 고농도의 소오스/드레인(125)으로 구성된다. 상기 제2 플로팅 게이트(106b)의 양측벽에는 질화막 스페이서(124a)가 형성되어 있다.

<32> 이상과 같이 도 2b에 도시한 이피롬 소자의 셀 구조는 종래와 다르게 상기 질화막 스페이서(124a)로 인해 상기 소오스/드레인(127) 상에 실리사이드층(129)을 형성하기 위한 실리시데이션 공정시 제2 플로팅 게이트(106b)와 소오스/드레인(127)간의 쇼트(Short)를 방지하여 트랜지스터 특성을 향상시킬 수 있다.

<33> 도 3a 내지 도 9a와 도 3b 내지 도 9b는 각각 도 2a 및 도 2b에 도시한 이피롬 소자의 셀의 제조방법을 설명하기 위한 단면도들이다.

<34> 도 3a 및 도 3b를 참조하면, 반도체 기판(101), 예컨대 실리콘 기판을 게이트 스택부(도 1의 200)와 플로팅 게이트 트랜지스터부(도 1의 400)로 한정한다. 이어서, 상기 반도체 기판(101)에 필드 절연막(102)을 형성한다. 상기 필드 절연막(102)이 형성되는

영역은 분리 영역이 되며, 상기 필드 절연막(102)이 형성되지 않는 영역은 활성영역이 된다.

<35> 다음에, 도 3b에 도시한 바와 같이 플로팅 게이트 트랜지스터부의 반도체 기판(101) 상에 게이트 절연막(104)을 형성한다. 상기 게이트 절연막(104)은 100~200Å의 두께의 산화막으로 형성한다. 이어서, 상기 게이트 스택부의 필드 절연막(102) 및 플로팅 게이트 트랜지스터부의 게이트 절연막(104) 상에 제1 플로팅 게이트 및 제2 플로팅 게이트로 사용되는 불순물이 도핑된 제1 폴리실리콘막(106)을 형성한다. 상기 제1 폴리실리콘막(106)은 1000~1500Å의 두께로 형성한다.

<36> 도 4a 및 도 4b를 참조하면, 상기 제1 폴리실리콘막(106)을 패터닝하여 게이트 스택부에 제1 플로팅 게이트(106a)를 형성한다. 상기 제1 폴리실리콘막(106) 패터닝시 도 4a에 도시한 게이트 스택부의 제1 폴리실리콘막(106)은 최종적으로 제1 플로팅 게이트(106a)가 되는 크기로 형성한다. 반면에, 도 4b에 도시한 플로팅 게이트 트랜지스터부의 제1 폴리실리콘막 패턴(106')은 후에 더 패터닝되어 제2 플로팅 게이트(도 7b의 106b)가 될 수 있게 크게 형성한다. 상기 제1 플로팅 게이트(106a) 및 제1 폴리실리콘막 패턴(106') 형성시에 상기 제1 플로팅 게이트(106a) 및 제1 폴리실리콘막 패턴(106') 하부에 형성된 게이트 절연막(104)도 식각된다. 결과적으로, 상기 게이트 절연막(104)은 상기 제1 플로팅 게이트(106a) 및 제1 폴리실리콘막 패턴(106') 하부에만 형성된다.

<37> 도 5a 및 도 5b를 참조하면, 상기 제1 플로팅 게이트(106a) 및 제1 폴리실리콘막 패턴(106') 상에 제1 절연막 패턴(114)을 형성한다. 상기 제1 절연막 패턴(114)은 산화막(108, 0)-질화막(110, N)-산화막(112, 0)으로 구성한다. 상기 제1 절연막 패턴(114)은 상기 제1 플로팅 게이트(106a) 및 제1 폴리실리콘막 패턴(106')이 형성된 반도체 기판

(101)의 전면에 산화막(108, O)-질화막(110, N)-산화막(112, O)을 각각 100 Å, 200 Å 및 100 Å의 두께로 형성한 후 패터닝하여 형성한다. 물론, 상기 제1 절연막 패턴(114)은 질화막(110) 및 산화막(112)만으로도 구성할 수도 있다. 이어서, 제1 절연막 패턴(114)이 형성된 반도체 기판(101)의 전면에 조절 게이트로 이용되는 불순물이 도핑된 제2 폴리실리콘막(116)을 형성한다.

<38> 도 6a 및 도 6b를 참조하면, 상기 제2 폴리실리콘막(116)을 패터닝하여 상기 게이트 스택부의 제1 절연막 패턴(114) 상에 조절 게이트로 이용되는 제2 폴리실리콘막 패턴(118)을 형성한다. 이때, 상기 게이트 스택부 및 플로팅 게이트 트랜지스터부의 제1 플로팅 게이트(106a)의 양측벽에 비질화막 스페이서(122)로써 폴리실리콘막 스페이서(120)를 형성된다. 물론, 상기 플로팅 게이트 트랜지스터부의 제1 절연막 패턴(114) 상에는 제2 폴리실리콘막 패턴(118)이 형성되지 않는다.

<39> 도 7a 및 도 7b를 참조하면, 사진식각공정을 이용하여 상기 플로팅 게이트 트랜지스터부의 제1 절연막 패턴(114), 제1 폴리실리콘막 패턴(106') 및 게이트 절연막(104)을 패터닝하여 제2 절연막 패턴(114a), 제2 플로팅 게이트(106b) 및 게이트 절연막 패턴(104a)을 형성한다. 이때, 도 7b에 도시한 바와 같이 플로팅 게이트 트랜지스터부의 제1 폴리실리콘막 패턴(106')의 양측벽에 형성된 폴리실리콘막 스페이서(120)는 제거된다.

<40> 계속하여, 상기 게이트 스택부의 폴리실리콘막 스페이서(120)의 양측벽에 비질화막 스페이서(122)로써 산화막 스페이서(121)를 형성한다. 상기 산화막 스페이서(121)는 폴리실리콘막 스페이서(120)을 산화시켜 형성한다. 상기 제2 플로팅 게이트(106b)의 산화는 상기 제2 플로팅 게이트(106b) 형성을 위한 식각공정시 발생한 식각 손상을

방지하고, 트랜지스터 측면 하부의 산화막을 두껍게 하여 트랜지스터 특성을 강화하기 위하여 수행한다.

- <41> 도 8a 및 도 8b를 참조하면, 도 8b에 도시한 바와 같이 상기 제2 플로팅 게이트 (106b)의 양측벽에 얼라인되도록 불순물을 주입하여 저농도의 소오스/드레인(123)을 형성한다. 이어서, 상기 제2 폴리실리콘막 패턴(118) 및 제2 플로팅 게이트(106b)가 형성된 반도체 기판(101)의 전면에 질화막(124)을 형성한다.
- <42> 도 9a 및 도 9b를 참조하면, 상기 질화막(124)을 이방성 식각하여 게이트 스택부의 제2 폴리실리콘막 패턴(118) 및 플로팅 게이트 트랜지스터부의 제2 플로팅 게이트 (106b)의 양측벽에 질화막 스페이서(124a)를 형성한다. 다음에, 상기 도 9b에 도시한 바와 같이 상기 질화막 스페이서(124a)에 얼라인되도록 불순물을 주입하여 고농도의 소오스/드레인(125)을 형성한다. 결과적으로, 반도체 기판(101)에는 저농도의 소오스/드레인(123)과 고농도의 소오스/드레인(125)으로 소오스/드레인(127)이 형성된다.
- <43> 계속하여, 도 2a 및 도 2b에 도시한 바와 같이 후의 금속 콘택의 저항을 감소시키기 위하여 상기 조절 게이트(118)의 표면 및 소오스/드레인(127) 상에 실리사이드층 (129)을 형성한다. 결과적으로, 조절 게이트(131)는 제2 폴리실리콘막 패턴(118)과 실리사이드층(129)으로 구성된다.

【발명의 효과】

- <44> 상술한 바와 같이 본 발명의 이피롬 소자의 셀은 게이트 스택부의 제1 플로팅 게이트의 양측벽에 질화막 스페이서가 형성되어 있지 않고, 폴리실리콘막 스페

이서 및 산화막 스페이서로 이루어진 비질화막 스페이서가 형성되어 있다. 이에 따라, 자외선을 쬔면 비질화막 스페이서중 산화막 스페이서를 통하여 프로그램된 셀을 손쉽게 소거할 수 있다.

<45> 더하여, 본 발명의 이피롬 소자의 셀은 플로팅 게이트 트랜지스터부의 제2 플로팅 게이트의 양측벽에 질화막 스페이서가 형성되어 있어 제2 플로팅 게이트와 소오스/드레인간의 쇼트(Short)를 방지하여 트랜지스터 특성을 향상시킬 수 있다.

【특허청구범위】**【청구항 1】**

반도체 기판 상에 제1 플로팅 게이트, 질화막을 포함하는 절연막 패턴 및 조절 게이트가 순차적으로 형성되고, 상기 제1 플로팅 게이트의 양측벽에는 비질화막 스페이서가 형성되어 상기 비질화막 스페이서중 일부 또는 전부를 통해 자외선 소거가 가능하도록 구성된 게이트 스택부; 및

상기 반도체 기판 상에 형성된 게이트 절연막, 상기 게이트 절연막 상에 형성되고 상기 게이트 스택부의 제1 플로팅 게이트와 연결되는 제2 플로팅 게이트, 상기 제2 플로팅 게이트의 양측벽에 형성된 질화막 스페이서, 상기 제2 플로팅 게이트에 얼라인되어 상기 반도체 기판에 형성된 소오스/드레인으로 구성된 플로팅 게이트 트랜지스터부를 포함하여 이루어지는 것을 특징으로 하는 이피롬소자의 셀 구조.

【청구항 2】

제1항에 있어서, 상기 비질화막 스페이서는 폴리실리콘막 스페이서 및 산화막 스페이서의 이중막 스페이서인 것을 특징으로 하는 이피롬 소자의 셀 구조.

【청구항 3】

제1항에 있어서, 상기 조절 게이트의 양측벽에는 질화막 스페이서가 형성되어 있는 것을 특징으로 하는 이피롬 소자의 셀 구조.

【청구항 4】

제1항에 있어서, 상기 제1 플로팅 게이트 및 제2 플로팅 게이트는 불순물이 도핑된 폴리실리콘막으로 구성하는 것을 특징으로 하는 이피롬 소자의 셀 구조.

【청구항 5】

제1항에 있어서, 상기 게이트 스택부의 절연막 패턴은 ONO막 또는 NO막으로 구성하는 것을 특징으로 하는 이피롬 소자의 셀 구조.

【청구항 6】

제1항에 있어서, 상기 조절 게이트는 불순물이 도핑된 폴리실리콘막 및 실리사이드막의 이중막으로 구성되며, 상기 소오스 및 드레인 상에는 실리사이드막이 형성되어 있는 것을 특징으로 하는 이피롬 소자의 셀 구조.

【청구항 7】

반도체 기판 상에 제1 플로팅 게이트, 질화막을 포함하는 절연막 패턴, 및 조절 게이트가 순차적으로 형성되고, 상기 제1 플로팅 게이트의 양측벽에는 폴리실리콘막 스페이서 및 산화막 스페이서의 이중막 스페이서가 형성된 게이트 스택부; 및

상기 반도체 기판 상에 형성된 게이트 절연막, 상기 게이트 절연막 상에 형성되고 상기 게이트 스택부의 제1 플로팅 게이트와 연결되는 제2 플로팅 게이트, 상기 제2 플로팅 게이트의 양측벽에 형성된 질화막 스페이서, 상기 제2 플로팅 게이트에 얼라인되어 상기 반도체 기판에 형성된 소오스/드레인으로 구성된 플로팅 게이트 트랜지스터부를 포함하여 이루어지고,

상기 게이트 스택부의 조절 게이트에 전압이 인가되어 상기 플로팅 게이트 트랜지스터부의 제2 플로팅 게이트에 전압이 인가되면 핫 캐리어 주입에 의해 상기 소오스/드레인으로부터 전하가 게이트 스택부의 제1 플로팅 게이트에 주입되어 프로그램되고, 상

기 게이트 스택부에 자외선을 인가하면 제1 플로팅 게이트로부터 전하가 소오스/드레인
으로 빠져 소거되는 것을 특징으로 하는 이피롬 소자의 셀 구조.

【청구항 8】

제7항에 있어서, 상기 조절 게이트의 양측벽에는 질화막 스페이서가 형성되어 있는
것을 특징으로 하는 이피롬 소자의 셀 구조.

【청구항 9】

제7항에 있어서, 상기 제1 플로팅 게이트 및 제2 플로팅 게이트는 불순물이 도핑된
폴리실리콘막으로 구성하는 것을 특징으로 하는 이피롬 소자의 셀 구조.

【청구항 10】

제7항에 있어서, 상기 게이트 스택부의 절연막 패턴은 ONO막 또는 NO막으로 구성하
는 것을 특징으로 하는 이피롬 소자의 셀 구조.

【청구항 11】

제7항에 있어서, 상기 조절 게이트는 불순물이 도핑된 폴리실리콘막 및 실리콘사이드
막의 이중막으로 구성되며, 상기 소오스 및 드레인 상에는 실리콘사이드막이 형성되어 있
는 것을 특징으로 하는 이피롬 소자의 셀 구조.

【청구항 12】

반도체 기판을 게이트 스택부 및 플로팅 게이트 트랜지스터부로 한정하는 단계;

상기 게이트 스택부에 제1 플로팅 게이트, 질화막을 포함하는 절연막 패턴을 순차
적으로 형성하고, 상기 플로팅 게이트 트랜지스터부에 게이트 절연막, 폴리실리콘막 패
턴 및 절연막 패턴을 순차적으로 형성하는 단계;

상기 게이트 스택부의 제1 플로팅 게이트 상에 조절 게이트와, 상기 제1 플로팅 게이트의 양측벽에 제1 비질화막 스페이서를 형성하고, 상기 플로팅 게이트 트랜지스터부의 상기 폴리실리콘막 패턴을 패터닝하여 상기 제1 플로팅 게이트와 연결되는 제2 플로팅 게이트를 형성하는 단계;

상기 게이트 스택부의 폴리실리콘막 스페이서 상에 제2 비질화막 스페이서를 형성하는 단계;

상기 제2 플로팅 게이트의 양측벽에 얼라인되도록 불순물을 주입하여 상기 반도체 기판에 소오스 및 드레인을 형성하는 단계; 및

상기 플로팅 게이트 트랜지스터부의 제2 플로팅 게이트의 양측벽에 질화막 스페이서를 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 이피롬 소자의 셀 구조 제조방법.

【청구항 13】

제12항에 있어서, 상기 제1 비질화막 스페이서 및 제2 비질화막 스페이서는 각각 폴리실리콘막 스페이서 및 산화막 스페이서로 형성하는 것을 특징으로 하는 이피롬 소자의 셀 구조 제조방법.

【청구항 14】

제12항에 있어서, 상기 조절 게이트의 양측벽에는 질화막 스페이서를 형성하는 것을 특징으로 하는 이피롬 소자의 셀 구조 제조방법.

【청구항 15】

제12항에 있어서, 상기 제1 플로팅 게이트 및 제2 플로팅 게이트는 불순물이 도핑된 폴리실리콘막으로 형성하는 것을 특징으로 하는 이피롬 소자의 셀 구조 제조방법.

【청구항 16】

제12항에 있어서, 상기 게이트 스택부의 절연막 패턴은 ONO막 또는 NO막으로 형성하는 것을 특징으로 하는 이피롬 소자의 셀 구조 제조방법.

【청구항 17】

제12항에 있어서, 상기 조절 게이트는 불순물이 도핑된 폴리실리콘막 및 실리콘사이드막의 이중막으로 형성되고, 상기 소오스 및 드레인 상에는 실리콘사이드막을 형성하는 것을 특징으로 하는 이피롬 소자의 셀 구조 제조방법.

【청구항 18】

제17항에 있어서, 상기 조절 게이트의 실리콘사이드막 및 상기 소오스 및 드레인 상의 실리콘사이드막은 동일한 공정 스텝에서 형성하는 것을 특징으로 하는 이피롬 소자의 셀 구조 제조방법.

【청구항 19】

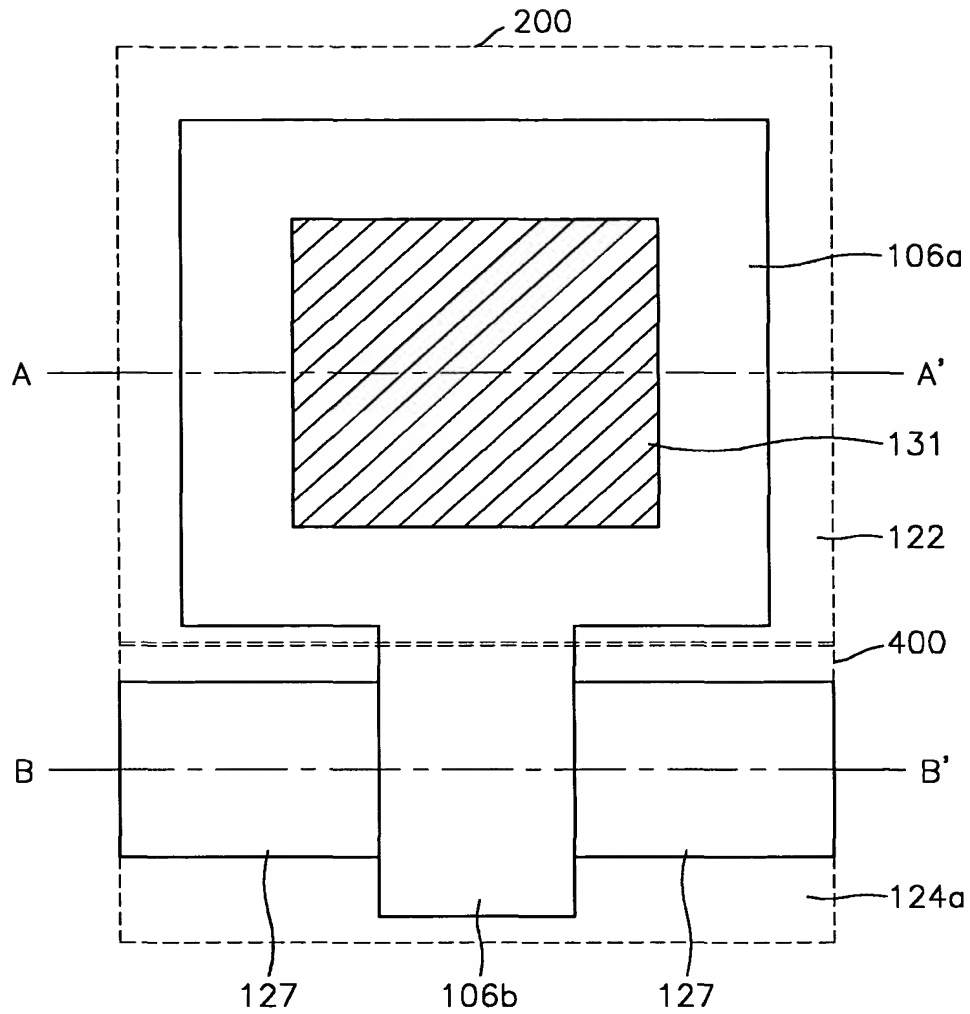
제12항에 있어서, 상기 게이트 스택부의 제1 비질화막 스페이서 형성할 때 상기 플로팅 게이트 트랜지스터부의 폴리실리콘막 패턴의 양측벽에 제1 비질화막 스페이서가 형성되나, 상기 플로팅 게이트 트랜지스터부의 폴리실리콘막 패턴의 패터닝시 상기 제1 비질화막 스페이서가 제거되는 것을 특징으로 하는 이피롬 소자의 셀 구조 제조방법.

【청구항 20】

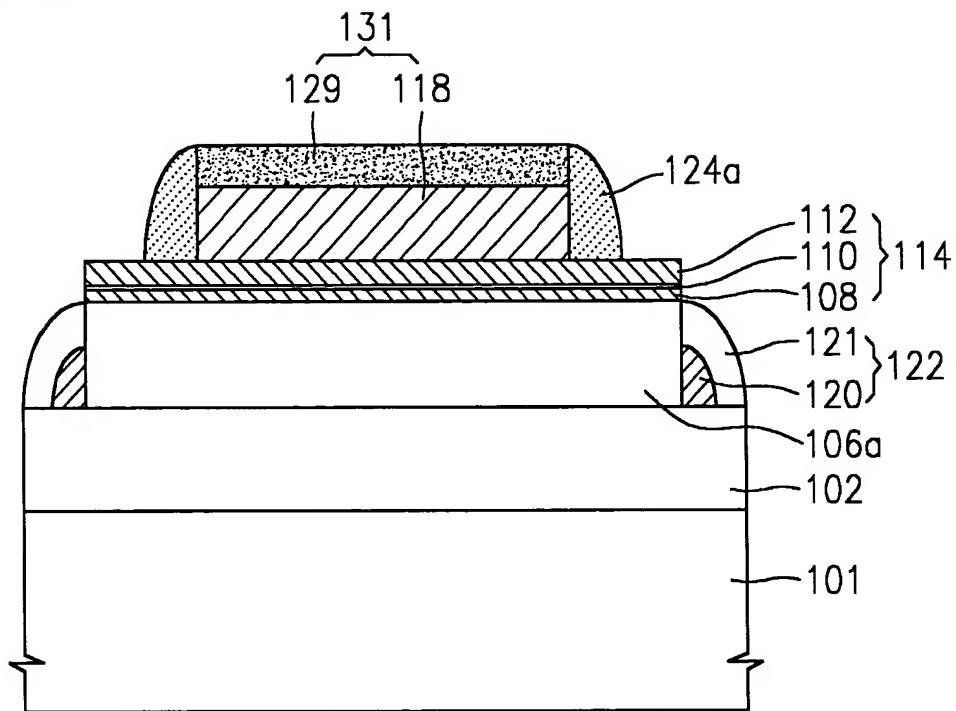
제12항에 있어서, 상기 게이트 스택부의 제1 플로팅 게이트, 질화막을 포함하는 절연막 패턴은 각각 상기 플로팅 게이트 트랜지스터부의 폴리실리콘막 패턴 및 절연막 패턴과 동일한 공정 스텝에서 형성되는 것을 특징으로 하는 이피롬 소자의 셀 구조 제조방법.

【도면】

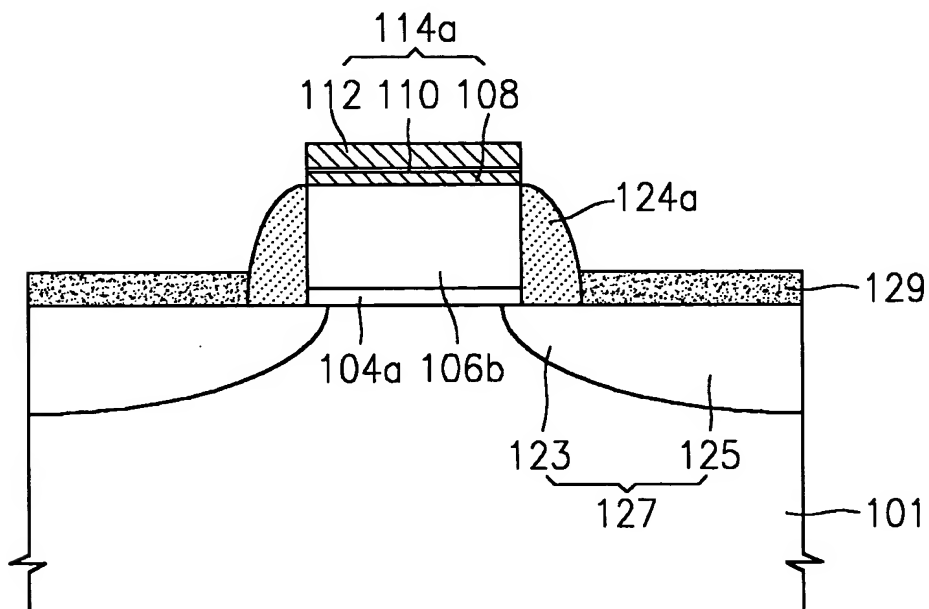
【도 1】



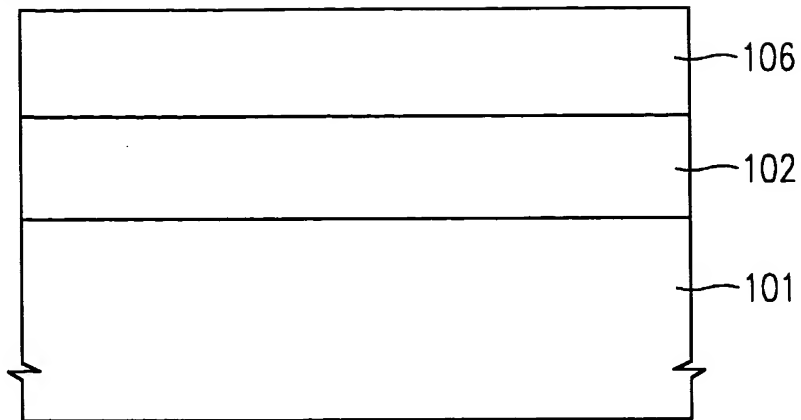
【도 2a】



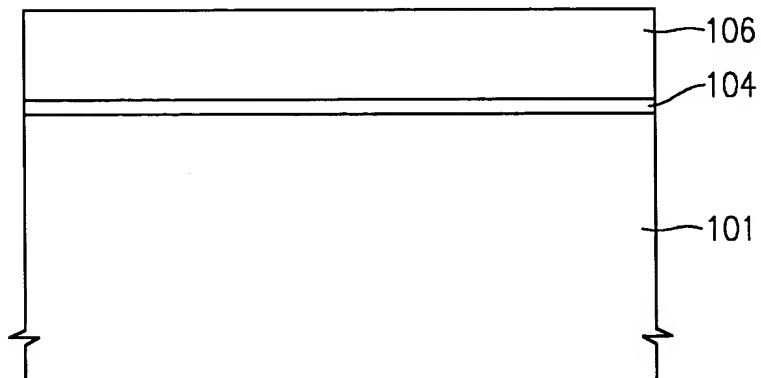
【도 2b】



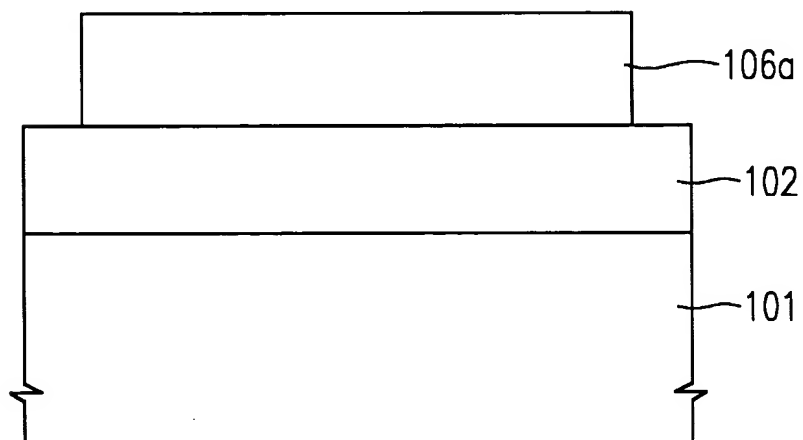
【도 3a】



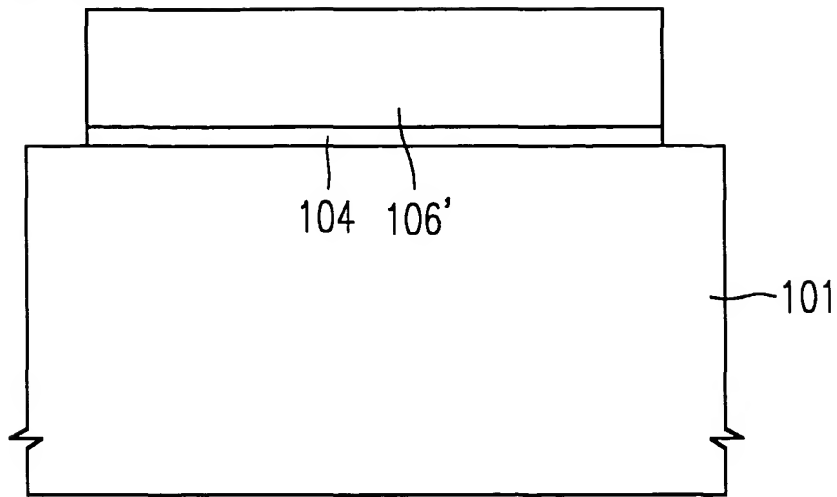
【도 3b】



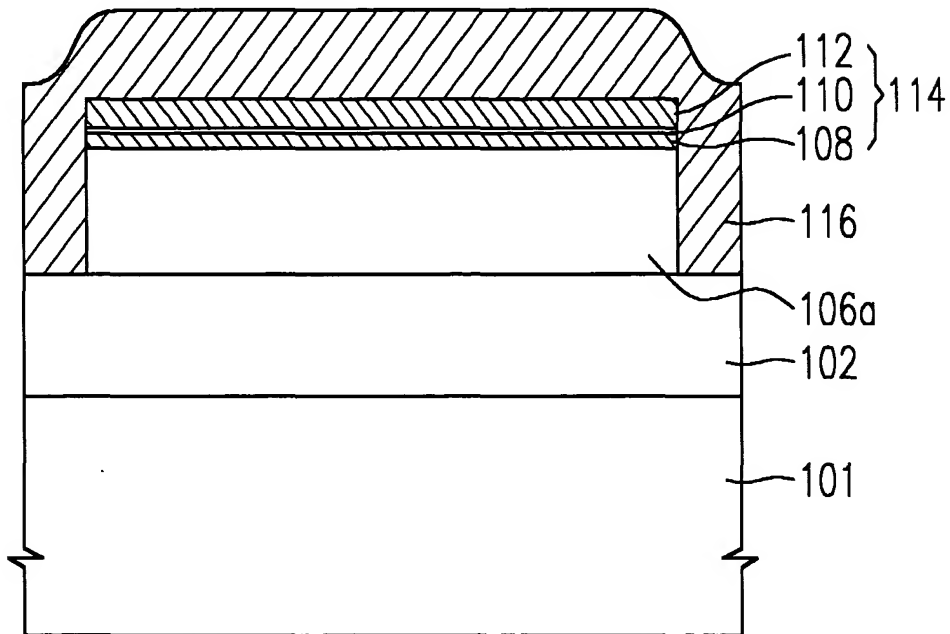
【도 4a】



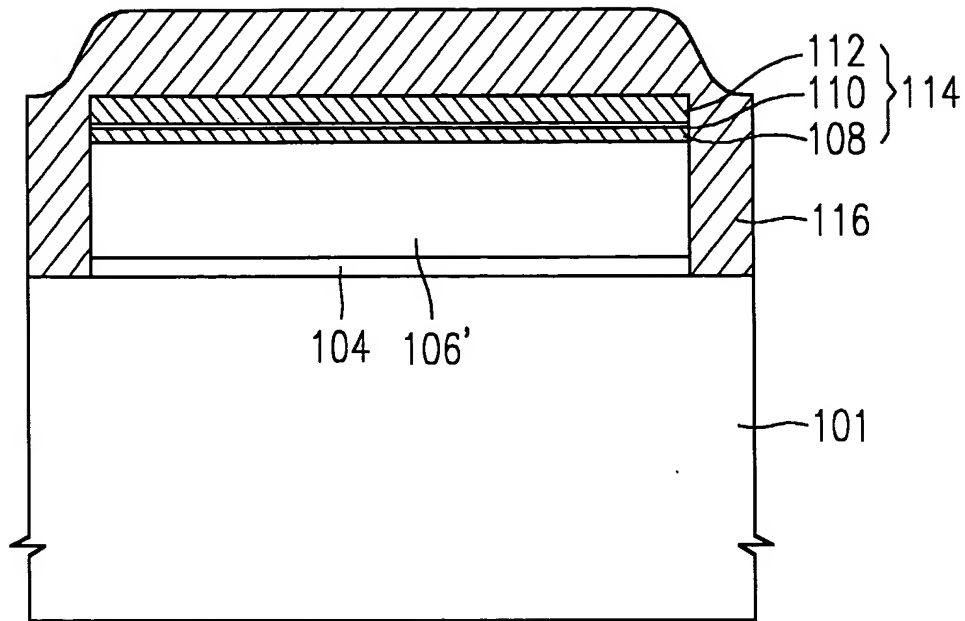
【도 4b】



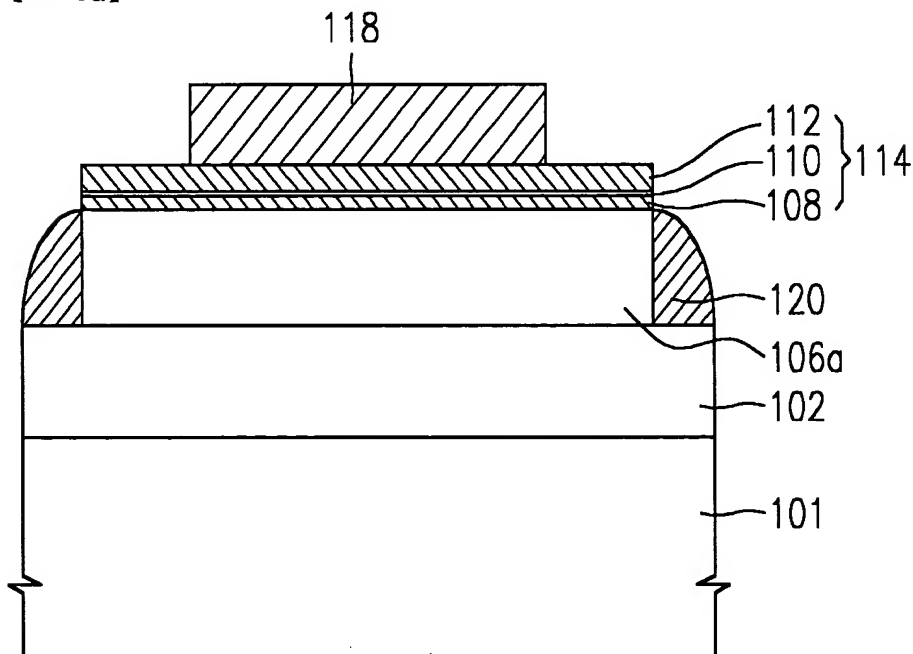
【도 5a】



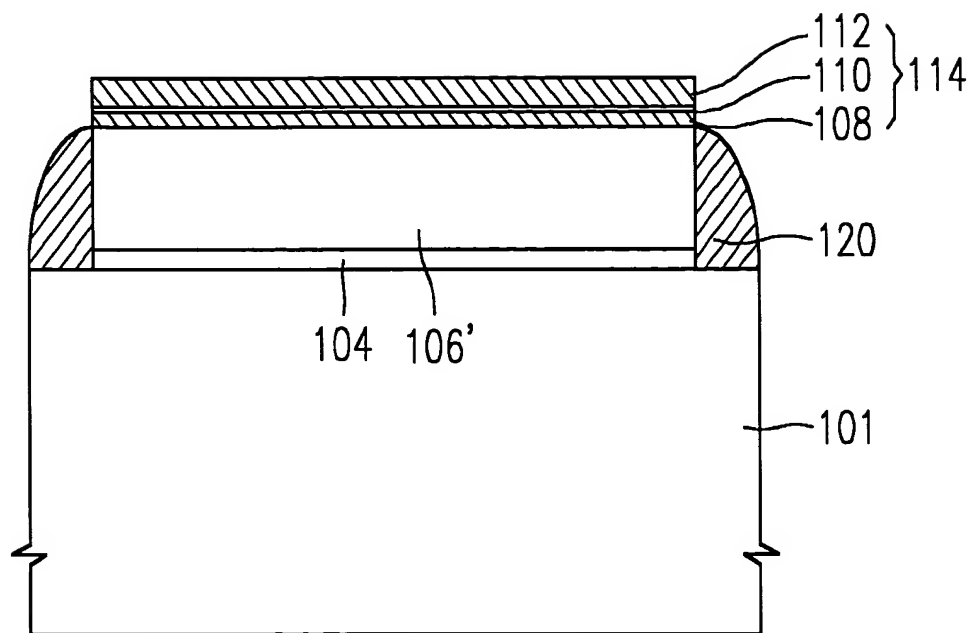
【도 5b】



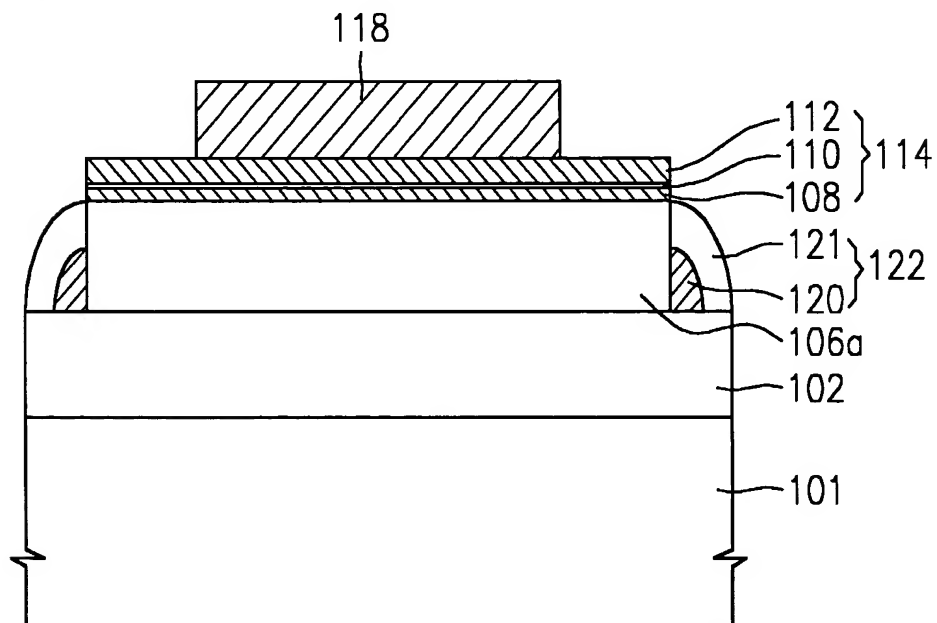
【도 6a】



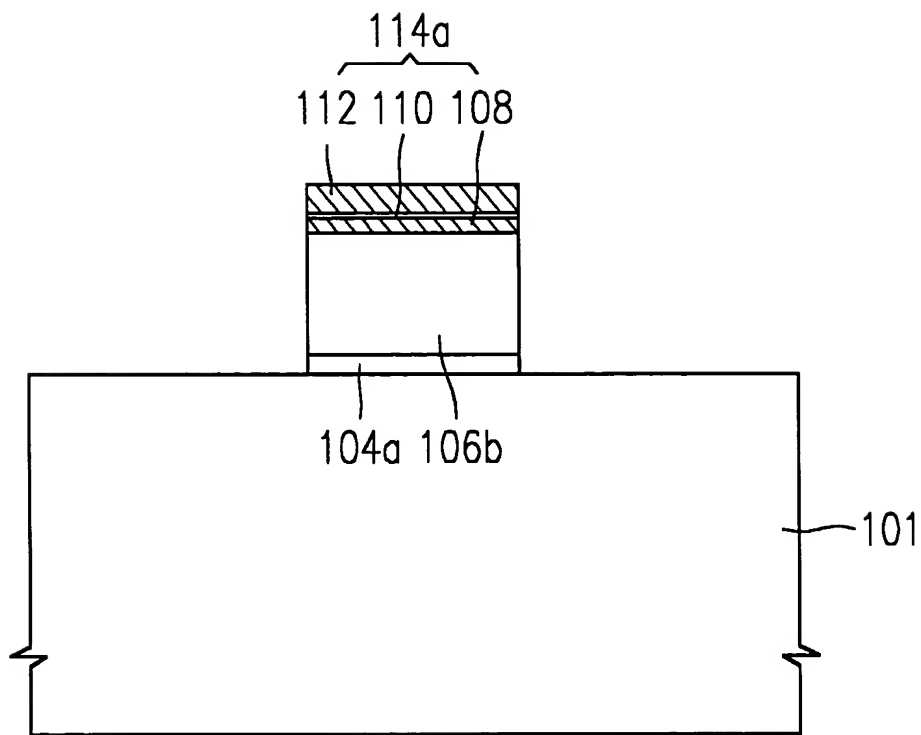
【도 6b】



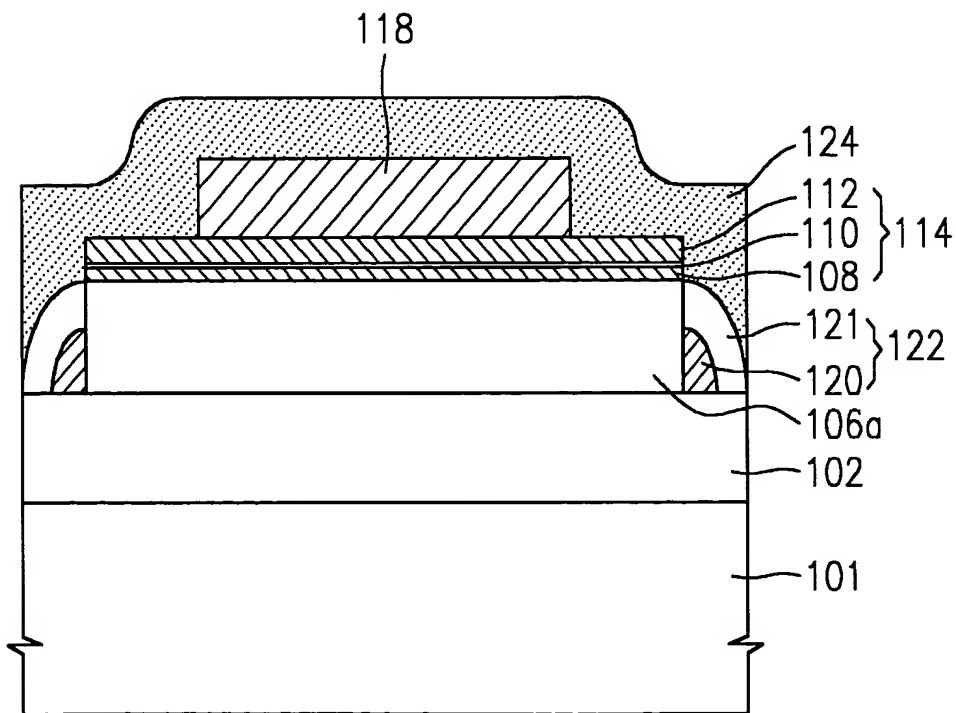
【도 7a】



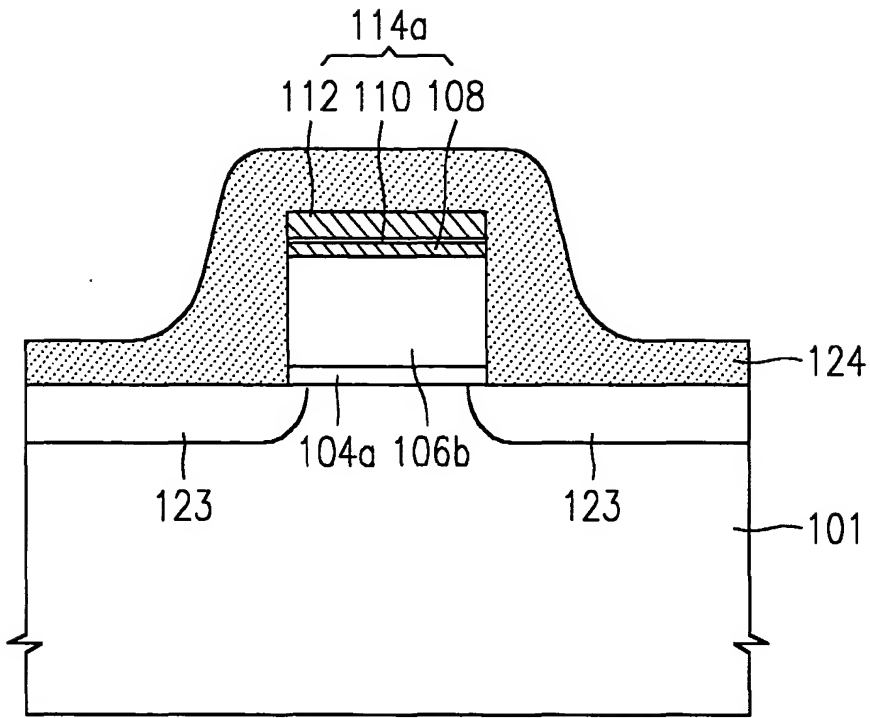
【도 7b】



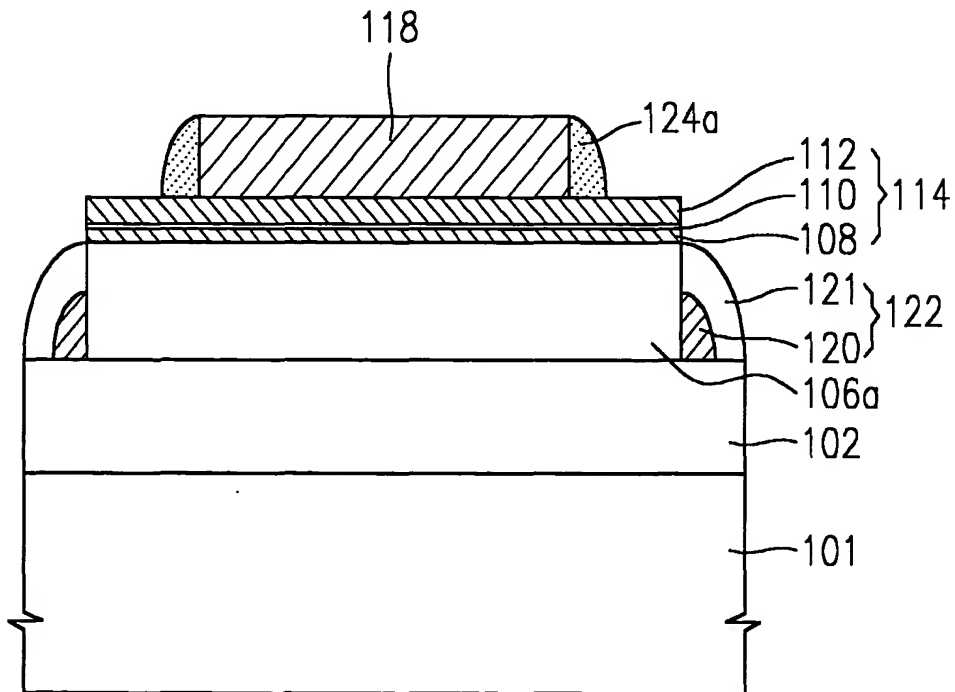
【도 8a】



【도 8b】



【도 9a】



【도 9b】

